

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-360284

(43) Date of publication of application : 14.12.1992

(51)Int.Cl. G06F 15/66

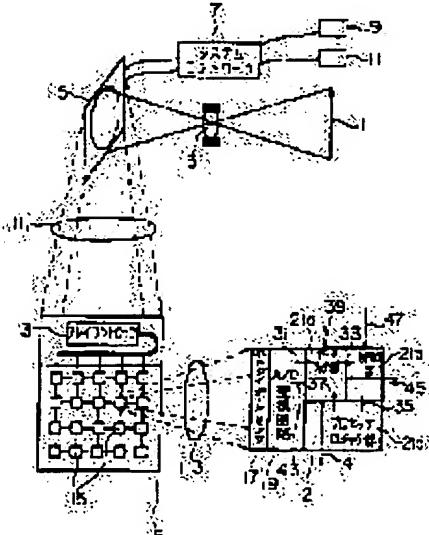
(21)Application number : 03-134827 (71)Applicant : NISSAN MOTOR CO LTD
(22)Date of filing : 06.06.1991 (72)Inventor : ANDORIYUU ROBAATOSON

(54) IMAGE PROCESSOR

(57) Abstract:

PURPOSE: To rapidly execute image processing by arraying plural processor elements, receiving an optical image from an objective body, converting the optical image into an electric signal, converting the electric signal into a digital signal and storing the digital signal as picture element data.

CONSTITUTION: Each processor element 15 consists of an one-chip integrated circuit e.g. obtained by unitedly integrating a photodiode sensor 17, an A/D converter 19 and a local processor 21 so as to correspond to the array of plural picture elements constituting the image of an object body 1. Plural processor elements 15 are arrayed to form a processor element array 5. An optical image from the objective body 1 is received by the sensor 17 and converted into an electric signal, which is then converted into a digital signal by a photodetecting unit 9. The digital signal is stored in the local processor 21 as picture element data. Thus image processing can be extremely rapidly executed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-360284

(43)公開日 平成4年(1992)12月14日

(51)Int.Cl.⁵

G 0 6 F 15/66

識別記号

庁内整理番号

F I

技術表示箇所

K 8420-5L

審査請求 未請求 請求項の数1(全8頁)

(21)出願番号 特願平3-134827

(22)出願日 平成3年(1991)6月6日

(71)出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72)発明者 アンドリュー・ロバートソン

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

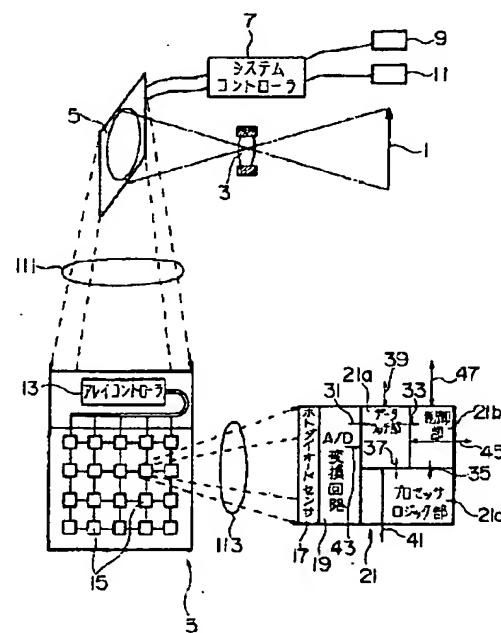
(74)代理人 弁理士 三好 秀和 (外4名)

(54)【発明の名称】 画像処理装置

(57)【要約】

【目的】 画像処理を極めて迅速に行う。

【構成】 対象体1の画像を構成する複数の画素の配列に対応するようにホトダイオードセンサ17、A/D変換回路19および局所プロセッサ21を一体的に有する例えば1チップ集積回路からなるプロセッサエレメント15を複数配列してプロセッサエレメントアレイ5を構成し、ホトダイオードセンサ17で対象体1からの光像を受信して電気信号に変換し、この電気信号を光検知ユニット9でデジタル信号に変換し、このデジタル信号を画素データとして局所プロセッサ21に記憶処理している。



1

【特許請求の範囲】

【請求項1】 画像処理すべき対象体からの光像を受信し、この受信した光像に応じた電気信号を発生する光電変換手段、該光電変換手段からの電気信号をデジタル信号に変換する変換手段および該変換手段からのデジタル信号を画素データとして記憶処理する記憶処理手段を一体的に有する画素処理手段と、前記対象体の画像を構成する複数の画素の配列に対応するように前記画素処理手段を複数配列し、隣接した各画素処理手段同志を相互接続した画素配列手段とを有することを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【差業上の利用分野】 本発明は、画像処理装置に関し、更に詳しくは、画像情報の入力から処理までを極めて迅速に行い得る画像処理装置に関する。

【0002】

【従来の技術】 従来の画像処理装置は、例えば図6に示すように、被撮像体を撮像したビデオカメラ101からの直列走査データをアナログ-デジタル(A/D)変換器102に直列に入力してデジタルデータに変換し、このデジタルデータを画像プロセッサ103に直列に入力して画像処理している。

【0003】 このような従来の画像処理装置における画像処理速度は、ビデオカメラ101からの撮像データがアナログ-デジタル変換器102に直列に入力され、更に画像プロセッサ103に直列に入力されるものであるため、このようなビデオカメラ101によるデータの直列入力の速度およびアナログ-デジタル変換器102におけるデータの直列変換の速度により決定される。

【0004】 また、従来の画像処理装置は、図7に示すように、複数のセンサ104をマトリックス状態に配列したセンサアレイ105を有し、このセンサアレイ105上に画像処理すべき被撮像体の画像を結像させて、該センサアレイ105で画像データを読み取り、この読み取った画像データをリード線106を介して直列画像プロセッサ107に直列に順次入力している。このようなセンサアレイは、例えばシンフ・ツェイ他(Hsia-Fu Tseng et al)著の「電荷転送ホトダイオードエリアアレイの電荷伝送とブルーミング抑圧」、IEEEジャーナル・オブ・ソリッド・ステート回路、第SC-15巻、第2号、1980年4月に記載されている。また、ホトダイオードセンサとともに使用される直列画像プロセッサについては、例えばメッドフォード・D・サンナー(Medford D. Sanner)による「画像処理集積回路」という名称の米国特許第4,491,964号に詳細に記載されている。

【0005】

【発明が解決しようとする課題】 上述した従来の画像処理装置のうち図6に示すものは、ビデオカメラ101か

2

らアナログ-デジタル変換器102へのデータ入力およびアナログ-デジタル変換器102から画像プロセッサ103へのデータ入力が両方とも直列であるため、アナログ-デジタル変換器102におけるデジタルデータへの変換および画像プロセッサ103内における画像処理が直列的に行われるため、画像処理が極めて遅いという問題がある。

【0006】 また、図7に示す従来の画像処理装置は、センサアレイ105から直列画像プロセッサ107へのデータ入力が直列であり、従って直列画像プロセッサ107における画像処理も直列であるため、直列画像プロセッサ107へのデータ入力に時間がかかるとともに、直列画像プロセッサ107内における画像処理も時間がかかるという問題がある。

【0007】 本発明は、上記に鑑みてなされたもので、その目的とするところは、画像処理を極めて迅速に行い得る画像処理装置を提供することにある。

【0008】

【課題を解決するための手段】 上記目的を達成するため、本発明の画像処理装置は、画像処理すべき対象体からの光像を受信し、この受信した光像に応じた電気信号を発生する光電変換手段、該光電変換手段からの電気信号をデジタル信号に変換する変換手段および該変換手段からのデジタル信号を画素データとして記憶処理する記憶処理手段を一体的に有する画素処理手段と、前記対象体の画像を構成する複数の画素の配列に対応するように前記画素処理手段を複数配列し、隣接した各画素処理手段同志を相互接続した画素配列手段とを有することを要旨とする。

【0009】

【作用】 本発明の画像処理装置では、対象体の画像を構成する複数の画素の配列に対応するように光電変換手段、変換手段および記憶処理手段を一体的に有する画素処理手段を複数配列し、光電変換手段で対象体からの光像を受信して電気信号に変換し、この電気信号を変換手段でデジタル信号に変換し、このデジタル信号を画素データとして記憶処理手段に記憶処理している。

【0010】

【実施例】 以下、図面を用いて本発明の実施例を説明する。

【0011】 図1は、本発明の一実施例に係わる画像処理装置の全体構成図である。同図に示す画像処理装置は、画像処理すべき対象体1からの像を結像レンズ3を介して結像される本発明の画素配列手段を構成するプロセッサエレメントアレイ5を有する。

【0012】 このプロセッサエレメントアレイ5には、本画像処理装置の全体を制御するシステムコントローラ7が接続され、該システムコントローラ7には光検知ユニット9および距離検知ユニット11が接続されている。光検知ユニット9は対象体1の面の照度を検知し、

3

この検知した照度情報をシステムコントローラ7に供給し、また距離検知ユニット11は例えばレーダ等の距離測定装置で構成され、前記プロセッサエレメント15と対象体1との間の距離を測定し、この測定した距離をシステムコントローラ7に供給する。システムコントローラ7は、この供給された距離に基づいて対象体1とプロセッサエレメントアレイ5との間に設けられたレンズ3を図示しないモータ等の駆動装置で前後に移動し、対象体1の像をプロセッサエレメント15上に的確に結像させるようしている。

【0013】前記プロセッサエレメントアレイ5は、図1において点線のズームアップ線111で拡大して下方に示すように、該プロセッサエレメントアレイ5の全体を制御するアレイコントローラ13および該アレイコントローラ13で制御されるようにアレイコントローラ13に接続され、マトリックス状に配列された複数のプロセッサエレメント15から構成されている。

【0014】この複数のプロセッサエレメント15の各々は、後述するように前記レンズ3を介して入射される対象体1の画像を検知する機能に加えて、この検知信号をデジタル信号に変換する機能およびこの変換されたデジタル信号を記憶して画像処理する機能を有するが、該複数のプロセッサエレメント15は対象体1の画像を構成する複数の画素に対応するようにマトリックス状態に配列され、プロセッサエレメント15の各々が対象体1の画像を構成する各画素に1対1で対応している。また、マトリックス状に配列された各プロセッサエレメント15は、その隣接する上下左右のプロセッサエレメント15とデータの送受信が行えるように相互に接続されている。

【0015】プロセッサエレメント15の各々は、図1において点線のズームアップ線113で拡大して右方に示すように、本発明の光電変換手段を構成するホトダイオードセンサ17と、本発明の変換手段を構成するA/D変換回路19と、本発明の記憶処理手段を構成する局所プロセッサ21とから構成されている。このホトダイオードセンサ17、A/D変換回路19および局所プロセッサ21は、一体的に例えば集積化されて、1チップの集積回路として構成されているものである。

【0016】このように集積化されたホトダイオードセンサ17、A/D変換回路19および局所プロセッサ21からなる1チップ集積回路のプロセッサエレメント15が複数同一の基板に実装されて、プロセッサエレメントアレイ5が構成されている。また、最近の大規模集積回路VLSI技術によれば、複数のプロセッサエレメント15からなるプロセッサエレメントアレイ5の全体を1つの大規模集積回路VLSIとして構成することも可能である。

【0017】各プロセッサエレメント15を構成するホトダイオードセンサ17は、レンズ3を介して照射され

4

る対象体1の光像を受信し、電気信号に変換する。この変換された電気信号はA/D変換回路19に供給されて、デジタル信号に変換される。そして、このデジタル信号は局所プロセッサ21に供給されて記憶されるとともに画像処理される。

【0018】局所プロセッサ21は、同図に示すように、データラッチ部21aと、制御部21bと、プロセッサロジック回路部21cとから構成されている。データラッチ部21aは、矢印31で示すようにA/D変換回路19から入力されるデジタル信号をラッチするが、該データラッチ部21aは隣接する各プロセッサエレメント15のデータラッチ部21aと通信し得るように該データラッチ部21aから上下左右に延出しているリード線39、41、43、45が接続され、これらのリード線39～45はそれぞれ隣接するプロセッサエレメント15の各々のデータラッチ部21aに接続されている。データラッチ部21aにラッチされたデジタル信号は画素データとして矢印33で示すようにデータラッチ部21aから制御部21bに供給される。制御部21bは制御バス47を介してアレイコントローラ13に接続され、該アレイコントローラ13と通信するとともに制御情報を受信し得るようになっている。そして、制御部21bはデータラッチ部21aから供給される画素データおよび制御バス47を介してアレイコントローラ13から受信した制御情報に基づいて内部制御信号を発生し、この内部制御信号を矢印35で示すようにプロセッサロジック回路部21cに供給する。更に、データラッチ部21aとプロセッサロジック回路部21cとの間は矢印37で示すように接続されているが、プロセッサロジック回路部21cの制御によりデータラッチ部21aへのデータの読み取りおよびデータラッチ部21aからのデータの書き込みが行われるようになっている。

【0019】図2は、図1に示すプロセッサエレメント15のホトダイオードセンサ17とA/D変換回路19の詳細な回路図である。図2の回路では、そのほぼ中央付近に点線で囲んで示すようにホトダイオードセンサ17がアノードを接地して設けられているが、このホトダイオードセンサ17の周囲の回路がA/D変換回路19である。そして、このA/D変換回路19のうちの右端に接続されているN型MOSトランジスタ51を介して局所プロセッサ21が接続されている。

【0020】図2に示すA/D変換回路19は、例えば5Vの電源電圧Vddに接続された一对のP型MOSトランジスタ53、55および反転ロード制御信号LD_Bを供給されるリード線57に接続された一对のN型MOSトランジスタ63、65を有する。P型MOSトランジスタ53、55はゲートが互いにたすきがけに接続されるとともに、N型MOSトランジスタ63、65も同様にゲートが互いにたすきがけに接続され、更にP型MOSトランジスタ53とN型MOSトランジスタ63は直

列に接続され、P型MOSトランジスタ55とN型MOSトランジスタ65も直列に接続されている。

【0021】前記電源電圧Vddには、更にP型MOSトランジスタ67、69が接続され、一方のP型MOSトランジスタ67とアースとの間には基準電流発生用のN型MOSトランジスタ71が接続され、他方のP型MOSトランジスタ69とアースとの間にはホトダイオードセンサ17が接続されている。そして、P型MOSトランジスタ67とN型MOSトランジスタ71との間の接続点は、前記P型MOSトランジスタ53とN型MOSトランジスタ63との間の接続点Aに接続され、またP型MOSトランジスタ69とホトダイオードセンサ17との間の接続点は、前記P型MOSトランジスタ55とN型MOSトランジスタ65との間の接続点Bに接続され、この接続点Bは前記N型MOSトランジスタ51を介して局所プロセッサ21に接続されている。

【0022】更に、前記P型MOSトランジスタ67のゲートにはロード制御信号LDが供給され、基準電流発生用のN型MOSトランジスタ71のゲートには基準電流用バイアス制御信号M1が供給されるようになっているが、これらのロード制御信号LD、基準電流用バイアス制御信号M1およびロード制御信号LDを反転した反転ロード制御信号LDBは、前記アレイコントローラ13を介してシステムコントローラ7から供給される。特に、基準電流用バイアス制御信号M1は、前記光検知ユニット9が検知した対象体1の照度に応じた電圧レベルを有するようになっている。

【0023】図2に示すホトダイオードセンサ17とA/D変換回路19からなる回路部は、レンズ3を介した対象体1の光がホトダイオードセンサ17に当たると、ホトダイオードセンサ17はこの光に応答して電気信号である光電流を発生するが、このホトダイオードセンサ17からの光電流をA/D変換回路19が検知してデジタル信号に変換し、局所プロセッサ21に供給するものである。このホトダイオードセンサ17からの光電流の検知は、基準電流用バイアス制御信号M1を供給される基準電流発生用N型MOSトランジスタ71から出力される基準電流とホトダイオードセンサ17からの光電流を比較し、この比較の結果光電流が基準電流よりも大きい場合には、A/D変換回路19からN型MOSトランジスタ51を介して論理1のデジタル信号が局所プロセッサ21に供給され、逆に光電流が基準電流よりも小さい場合には、A/D変換回路19からN型MOSトランジスタ51を介して局所プロセッサ21に論理0のデジタル信号が供給されるようになっている。

【0024】次に、このように基準電流発生用N型MOSトランジスタ71からの基準電流とホトダイオードセンサ17からの光電流との比較を行い、この結果のデジタル出力信号を局所プロセッサ21に供給するホトダイオードセンサ17およびA/D変換回路19の動作を

図3に示すタイミングチャートを参照して説明する。なお、図3(a)および(b)はそれぞれ論理1および0の光電流を検出する場合の動作を示している。

【0025】ホトダイオードセンサ17からの光電流を検出するには、まず図3(a)、(b)のプリチャージ期間Pにおいて両図の(イ)および(ロ)にそれぞれ示すようにロード制御信号LDを低レベルにし、反転ロード制御信号LDBを高レベルにする。この結果、P型MOSトランジスタ67、69がオンとなり、N型MOS

トランジスタ51はオフとなる。P型MOSトランジスタ67、69がオンになると、電源電圧Vddが該P型MOSトランジスタ67、69を介して接続点AおよびBに供給され、両接続点AおよびBは電源電圧Vddにプリチャージされる。接続点AおよびBが電源電圧Vddにプリチャージされると、接続点AおよびBにゲートが接続されているP型MOSトランジスタ53、55はオフとなり、N型MOSトランジスタ63、65はオンになる。なお、この状態では、N型MOSトランジスタ51はオフであるので、A/D変換回路19からの信号は局所プロセッサ21に供給されないようになっている。

【0026】また、上述した状態において、ホトダイオードセンサ17は対象体1からの光を受信し、該光に比例した光電流は発生し、更に基準電流発生用N型MOSトランジスタ71は対象体1の照度に応じた電圧レベルを有する基準電流用バイアス制御信号M1をシステムコントローラ7からアレイコントローラ13を介して供給され、これにより対象体1の照度に応じた基準電流を発生するようになっている。そして、この基準電流とホトダイオードセンサ17からの光電流との比較を行い、この比較結果の画素データを局所プロセッサ21に供給するようになっている。

【0027】このように発生するホトダイオードセンサ17からの光電流および基準電流発生用N型MOSトランジスタ71からの基準電流は、それぞれ接続点AおよびBに流れ、プリチャージされた接続点AおよびB上の電圧を低減しようとするが、N型MOSトランジスタ67、69がオンしている間は、接続点AおよびBには電源電圧Vddが供給されているため、接続点AおよびB上のプリチャージ電圧は低減しない。この状態で、次に、

図3(a)、(b)のセット期間Sにおいて両図の(イ)および(ロ)に示すように、ロード制御信号LDおよび反転ロード制御信号LDBをそれぞれ反転し、ロード制御信号LDを高レベルとし、反転ロード制御信号LDBを低レベルとすると、P型MOSトランジスタ67、69がオフとなる。この結果、接続点AおよびB上のプリチャージ電圧は、それぞれ基準電流発生用N型MOSトランジスタ71からの基準電流およびホトダイオードセンサ17からの光電流によって除々に低減開始する。そして、接続点AおよびB上のプリチャージ電圧が電源電圧Vddのほぼ半分に等しいMOSトランジスタの

しきい値電圧以上にあるまでは、前記P型MOSトランジスタ53、55はオフ状態を維持し、N型MOSトランジスタ63、65はオン状態を維持している。

【0028】ここで、光電流の方が基準電流よりも大きい場合には、接続点Bの電圧の方が接続点Aの電圧よりも速く低減する。そして、この接続点Bの電圧がMOSトランジスタのしきい値電圧よりも低減すると、接続点Bにゲートが接続されているP型MOSトランジスタ53はオンし、N型MOSトランジスタ63はオフするので、図3(a)の(ハ)および(二)に示すように接続点Aは高レベルのまま維持され、接続点Bは低レベルになる。この接続点Bの低レベル信号は、高レベルのロード制御信号LDによってオンしているN型MOSトランジスタ51を介して局所プロセッサ21に画素情報として供給される。

【0029】また、逆に光電流の方が基準電流よりも小さい場合には、接続点Aの電圧の方が接続点Bの電圧よりも速く低減する。そして、この接続点Aの電圧がMOSトランジスタのしきい値電圧よりも低減すると、接続点Aにゲートが接続されているP型MOSトランジスタ55はオンし、N型MOSトランジスタ65はオフするので、図3(b)の(ハ)および(二)に示すように接続点Aは低レベルになり、接続点Bは高レベルに維持される。この接続点Bの高レベル信号は、N型MOSトランジスタ51を介して局所プロセッサ21に画素情報として供給される。なお、上述した処理において、ロード制御信号LDおよび反転ロード制御信号LD_Bが出力され、ホトダイオードセンサ17から出力される光電流信号を検知してデジタル信号に変換する処理を「LD処理」と称することにする。

【0030】次に、図4(a)および(b)にそれぞれ示すシステムコントローラ7およびアレイコントローラ13に対するタイミングチャートおよび図5に示すフローチャートを参照して全体の動作を説明する。

【0031】まず、システムコントローラ7が動作し、画像処理すべき対象体1の画像、すなわち対象体1からの光をレンズ3を介してプロセッサエレメントアレイ5上のすべてのプロセッサエレメント15に照射するとともに、システムコントローラ7に接続された光検知ユニット9および距離検知ユニット11がそれぞれ対象体1の照度および対象体1とプロセッサエレメントアレイ5との間の距離を測定すると、各光検知ユニット9および距離検知ユニット11からそれぞれ図4(a)の(イ)および(ロ)に示すような信号が outputされ、これらの出力信号がシステムコントローラ7に供給される。システムコントローラ7は、距離検知ユニット11からの出力信号に基づいてレンズ3を図示しないモータ等の駆動装置で動かしてレンズ3の位置を調整し、これにより図4(a)の(ハ)に示すように対象体1の画像がプロセッサエレメントアレイ5上に結像すべく結像制御を行う。

また、システムコントローラ7は、光検知ユニット9からの出力信号に基づいて図4(a)の(二)に示すように前記基準電流発生用N型MOSトランジスタ71に対する基準電流用バイアス制御信号M1の信号レベルを設定する。以上のようにして、レンズ3の位置調整および基準電流用バイアス制御信号M1の信号レベルの調整が図4の最初の時刻t0-t1の間で行われる(図5のステップ210)。

【0032】レンズ位置および信号レベルの調整が終了すると、プロセッサエレメントアレイ5を構成する複数のプロセッサエレメント15の各ホトダイオードセンサ17は対象体1からの光を受信し、この光に応じて光電流を発生する。また、この場合、上述したように設定された信号レベルを有する基準電流用バイアス制御信号M1が各プロセッサエレメント15のA/D変換回路19の基準電流発生用N型MOSトランジスタ71に供給され、基準電流発生用N型MOSトランジスタ71から前記基準電流が流れ。

【0033】このような状態で、システムコントローラ7は、図4(a)の(ホ)に時刻t1-t2に示すように、まず前述したように定義した「LD処理」を開始する命令を出力する。このLD処理命令は、システムコントローラ7からアレイコントローラ13に供給され、アレイコントローラ13は図4(b)の(イ)の時刻t1-t2に示すようにLD処理を実行する。

【0034】このLD処理は、図2および3を参照して説明したように、まずプロセッサエレメントアレイ5を構成するすべてのプロセッサエレメント15に設けられているA/D変換回路19へのロード制御信号LDを低レベルにし、反転ロード制御信号LD_Bを高レベルにした後に反転するという動作を行い、これによりすべてのプロセッサエレメント15においてホトダイオードセンサ17から出力される光電流を基準電流発生用N型MOSトランジスタ71からの基準電流と比較し、ホトダイオードセンサ17からの光電流の信号レベルを検知し、デジタル信号としてA/D変換回路19からN型MOSトランジスタ51を介して局所プロセッサ21に供給する。

【0035】各プロセッサエレメント15において、A/D変換回路19から出力される画素情報のデジタル信号が局所プロセッサ21に供給されると、局所プロセッサ21のデータラッチ部21aが該デジタル画素信号をラッチする(ステップ220)。なお、以上の動作は、プロセッサエレメントアレイ5を構成する複数のプロセッサエレメント15のホトダイオードセンサ17、A/D変換回路19および局所プロセッサ21においてすべて同時に行われるが、このホトダイオードセンサ17、A/D変換回路19および局所プロセッサ21は前述したように例えば1チップICとして構成されているので、これらの間の信号の伝達はすべて独立して並列に

行われるため、信号の伝達における遅延や詰まり等がなく、対象体1の光信号の検知、ディジタル信号への変換、ディジタル信号の局所プロセッサ21によるラッチは極めて迅速に行われる。

【0036】各プロセッサエレメント15のホトダイオードセンサ17からの画素情報の局所プロセッサ21によるラッチが上述したように並列に行われると、システムコントローラ7は次に図4(a)の(ホ)の時刻 $t_2 - t_3$ に示すように画像処理命令をアレイコントローラ13に供給する。この画像処理命令は、アレイコントローラ13に供給され、図4(b)の(ロ)の時刻 $t_2 - t_3$ に示すようにアレイコントローラ13の制御のもとにプロセッサエレメントアレイ5を構成する複数のプロセッサエレメント15の局所プロセッサ21のデータラッチ部21aにラッチされた画素情報において画像処理が行われる(ステップ230)。

【0037】なお、画像処理が例えば所謂テンプレートマッチングであるとすると、プロセッサエレメントアレイ5を構成する複数のプロセッサエレメント15の上下左右の各隣接するプロセッサエレメント15間において画素情報の授受を行い、これにより隣接画素情報も含めたテンプレートマッチングを行い、この画像処理結果を各プロセッサエレメント15の局所プロセッサ21のデータラッチ部21aに記憶する。

【0038】以上のようにして画像処理が終了し、その結果が各プロセッサエレメント15の局所プロセッサ21のデータラッチ部21aに記憶されると、次にシステムコントローラ7は図4(a)の(ホ)の時刻 $t_3 - t_4$ に示すように出力命令をアレイコントローラ13に供給する。アレイコントローラ13は図4(b)の(ハ)の時刻 $t_3 - t_4$ に示すように該出力命令に基づいて各プロセッサエレメント15のデータラッチ部21aに記憶されている画像処理結果を図1に示すようにマトリックス状態に配列された複数のプロセッサエレメント15から例えば行単位に直列に出力される(ステップ240)。

【0039】

【発明の効果】以上説明したように、本発明によれば、

対象体の画像を構成する複数の画素の配列に対応するよう光電変換手段、変換手段および記憶処理手段を一体的に有する画素処理手段を複数配列し、光電変換手段で対象体からの光像を受信して電気信号に変換し、この電気信号を変換手段でディジタル信号に変換し、このディジタル信号を画素データとして記憶処理手段に記憶処理しているので、画素情報の検知、この検知した画素情報のディジタル信号への変換および記憶処理がすべての画素において独立かつ並列に行われるため、これらの間における信号伝達における遅延が全くなく、極めて迅速に画像情報の入力および画像処理を行うことができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る画像処理装置の全体構成図である。

【図2】図1の画像処理装置に使用されているプロセッサエレメント内のホトダイオードセンサおよびA/D変換回路の回路構成を示す回路図である。

【図3】図2のホトダイオードセンサおよびA/D変換回路の動作を示すタイミングチャートである。

【図4】図1の画像処理装置の動作を示すタイミングチャートである。

【図5】図1の画像処理装置の作用を示すフローチャートである。

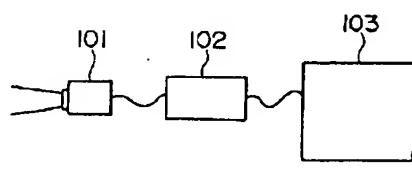
【図6】従来の画像処理装置の構成図である。

【図7】従来の画像処理装置の別の構成図である。

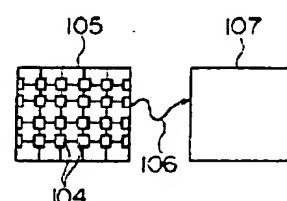
【符号の説明】

- 1 対象体
- 5 プロセッサエレメントアレイ
- 7 システムコントローラ
- 13 アレイコントローラ
- 15 プロセッサエレメント
- 17 ホトダイオードセンサ
- 19 A/D変換回路
- 21 局所プロセッサ
- 21a データラッチ部
- 21b 制御部
- 21c プロセッサロジック回路部
- 71 基準電流発生用N型MOSトランジスタ

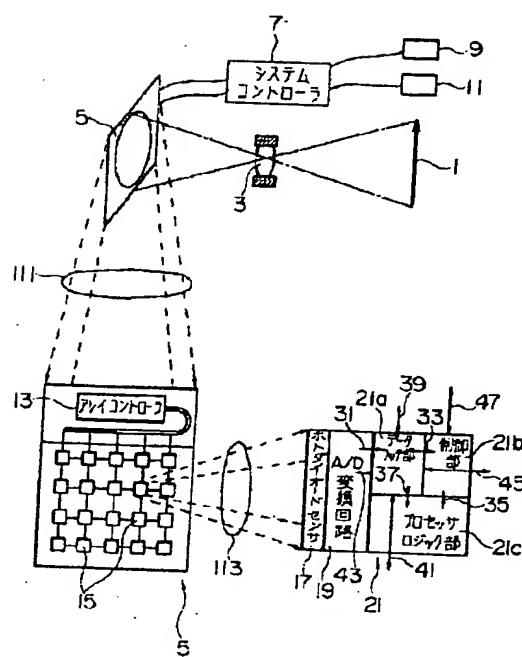
【図6】



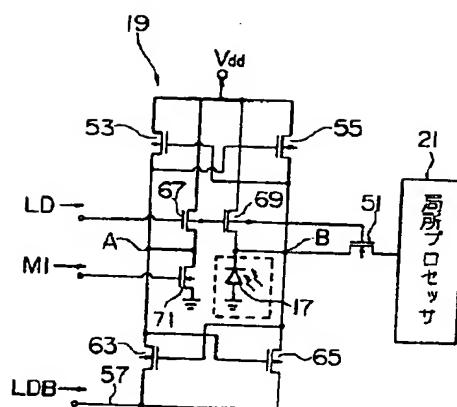
【図7】



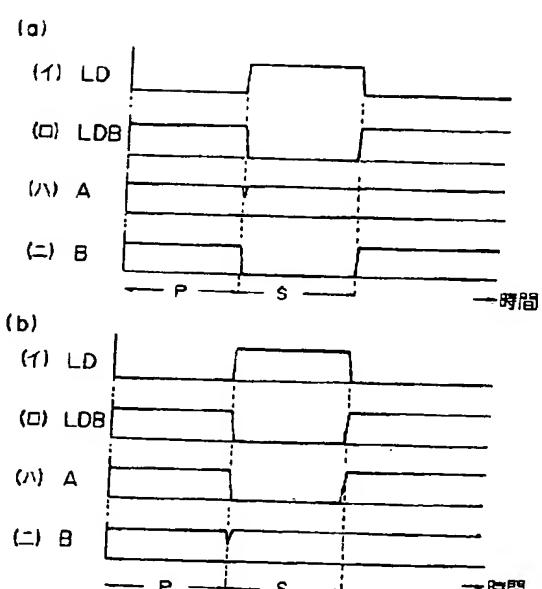
【図1】



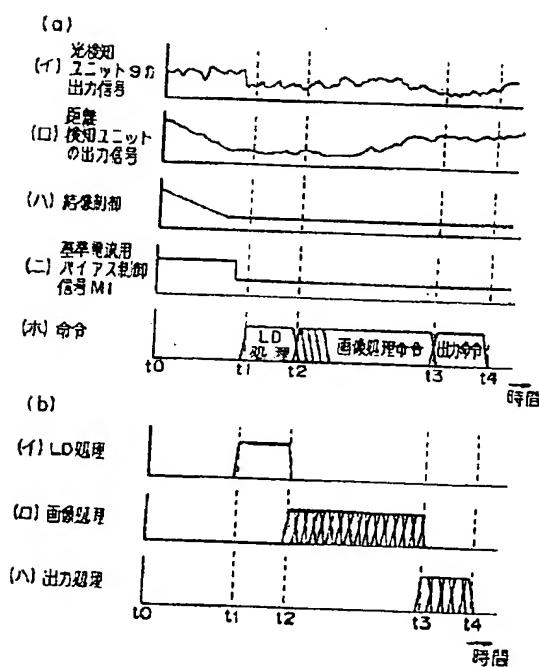
【図2】



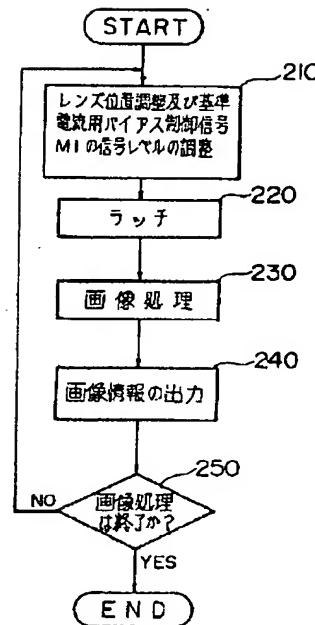
【図3】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.